

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

PAT-NO: JP410012887A

DOCUMENT-IDENTIFIER: JP 10012887 A

TITLE: TRANSISTOR DEVICE AND MANUFACTURE  
THEREOF

PUBN-DATE: January 16, 1998

INVENTOR-INFORMATION:  
NAME  
KOU, RISHIYOU

ASSIGNEE-INFORMATION:  
NAME  
NEC CORP

COUNTRY  
N/A

APPL-NO: JP08165413

APPL-DATE: June 26, 1996

INT-CL (IPC): H01L029/786, H01L029/78

ABSTRACT:

PROBLEM TO BE SOLVED: To suppress the substrate floating effect and short channel effect with holding the advantages of the SOIMOSFET to obtain a transistor device operable at a low source voltage by forming a substrate, insulator layer and first conductivity type impurity layer for forming a channel at a region adjacent to the insulator layer.

SOLUTION: A positive voltage applied to a lower gate 1 is set so as to form an inversion layer in a lower part of a p-type region 4, and if the voltage of a signal input to an upper gate 6 is a threshold voltage  $V_{th}$ , the transition of

forming and fading of the layer 7 occurs. When a higher voltage than  $V_{th}$  is applied to the gate 6, the layer 7 is formed in the lower part of the region 4 to make the transistor switch on. When a lower voltage is applied, the transistor does not switch on. Thus, second conductivity type carriers flow and exit fast to avoid causing the substrate floating effect and the substrate impurity concn. is increased enough to suppress the short channel effect, allowing the threshold to be set independently.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-12887

(43) 公開日 平成10年(1998) 1月16日

(51) IntCl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 1 7 K
29/78				3 0 1 G
				3 0 1 X
				6 1 7 N
				6 1 7 M
審査請求 有 請求項の数18 O L (全 21 頁)				

(21) 出願番号 特願平8-165413

(22) 出願日 平成8年(1996) 6月26日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 黄 例昭

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 ▲柳▼川 信

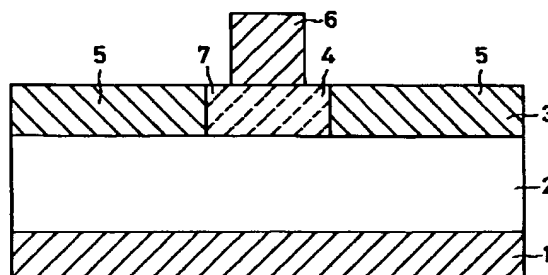
(54) 【発明の名称】 トランジスタ素子及びその製造方法

(57) 【要約】

【課題】 SOI MOSFET における短チャネル効果や基板浮遊効果を抑制する。

【解決手段】 絶縁体上の半導体層において、ソース・ドレイン領域5、p型領域4及びソース・ドレイン領域5を、この順に横方向に設ける。p型領域4の垂直上方に、より不純物濃度の高い半導体層により形成される上部ゲート電極6を設ける。酸化膜2の下部には、下部ゲート1を設ける。

【効果】 通常のMOSFETと異なり、ゲート酸化膜を介さずに、上部ゲート電極を直接第2導電型領域に接触させることにより、薄いゲート酸化膜を形成しなくともゲート-チャネル間容量が増加し、ゲートによるチャネルの制御性が増す。また、しきい値電圧が下部ゲート電極により制御され、短チャネル効果の抑制を目的とした基板不純物の高濃度化と、しきい値の設定とが独立に行える。



## 【特許請求の範囲】

【請求項1】 基板と、絶縁体層と、前記絶縁体層によって前記基板と絶縁され該絶縁体層に接した領域にチャネルが形成される第1導電型不純物層とを含むことを特徴とするトランジスタ素子。

【請求項2】 前記第1導電型不純物層中の前記絶縁体層に接した領域と相対する領域に接して設けられ該第1導電型不純物層の不純物濃度よりも高い不純物濃度を有する第1導電型不純物高濃度層を更に含むことを特徴とする請求項1記載のトランジスタ素子。

【請求項3】 前記絶縁体層に接して設けられ前記第1導電型不純物層を挟んで設けられた第1及び第2の第2導電型不純物高濃度層を更に含み、前記第1導電型不純物高濃度層をゲート電極としたことを特徴とする請求項2記載のトランジスタ素子。

【請求項4】 前記絶縁体層に接しかつ前記第1導電型不純物層と共に該絶縁体層を挟む位置に設けられた下部電極を更に含むことを特徴とする請求項3記載のトランジスタ素子。

【請求項5】 前記第2導電型がn型である場合には前記下部電極に正電位を印加し、前記第2導電型がp型である場合には前記下部電極に負電位を印加し、更に前記ゲート電極に入力信号を印加し、前記第1及び第2の第2導電型不純物高濃度層の少なくとも一方から出力信号を導出することを特徴とする請求項3又は4記載のトランジスタ素子。

【請求項6】 前記ゲート電極の少なくとも一部が金属により構成されることを特徴とする請求項3又は4記載のトランジスタ素子。

【請求項7】 前記絶縁体層の第1導電型不純物層に接している領域に、前記第2導電型がn型である場合には前記下部電極に正電位を印加し、前記第2導電型がp型である場合には前記下部電極に負電位を導入することを特徴とする請求項3記載のトランジスタ素子。

【請求項8】 前記絶縁体層中に強誘電材料を設け、その界面に分極電荷を生じさせたことを特徴とする請求項3又は4記載のトランジスタ素子。

【請求項9】 前記第1導電型不純物層のうち前記絶縁体層に接した領域が、該活性層の他の領域よりもバンドギャップの狭い材料により構成されてなることを特徴とする請求項3又は4記載のトランジスタ素子。

【請求項10】 前記ゲート電極が前記第1導電型不純物層の材料よりもバンドギャップの広い材料により構成されてなることを特徴とする請求項3又は4記載のトランジスタ素子。

【請求項11】 前記第1導電型不純物層に代えて真性領域層を含むことを特徴とする請求項1～3のいずれかに記載のトランジスタ素子。

【請求項12】 前記真性領域層のうち前記ゲート電極に接した領域が、第2導電型不純物高濃度層によって形

成されてなることを特徴とする請求項11記載のトランジスタ素子。

【請求項13】 前記第1導電型不純物層の幅をチャネル幅よりも大とし、かつ該第1導電型不純物層の両端外側に該第1導電型不純物層よりも第1導電型不純物の濃度の高い領域を設けたことを特徴とする請求項3及び4並びに11及び12のいずれかに記載のトランジスタ素子。

【請求項14】 前記第1導電型不純物層と共に前記絶縁体層を挟んだ位置に設けられ前記絶縁体層のうち前記ゲート電極に接触する領域と対向する領域における前記第1導電型不純物層からの距離よりも他の領域における前記第1導電型不純物層からの距離の方が大である半導体層を前記下部電極内に含むことを特徴とする請求項4記載のトランジスタ素子。

【請求項15】 絶縁体層上の半導体層上にマスクパターンを設けるステップと、この設けたパターンをマスクに前記半導体層をエッチングして薄膜化するステップと、この薄膜化された領域に第2導電型不純物層を設けるステップと、前記パターンによりマスクされた領域に第1導電型不純物層を設けるステップと、前記第1及び第2導電型不純物層に配線端子を接続するステップとを含むことを特徴とするトランジスタ素子製造方法。

【請求項16】 前記絶縁体上の一部に、ダミーパターンを形成するステップと、この形成されたダミーパターンをマスクとして該ダミーパターンに覆われていない領域に第1導電型不純物高濃度拡散層を設けるステップと、前記ダミーパターンを覆うように絶縁膜を堆積するステップと、前記ダミーパターン上部の絶縁膜に開口部を設けて該開口部からのエッチングにより該ダミーパターンを除去するステップと、このダミーパターンが除去されることにより形成されたスリット内に不純物を含む半導体を設けるステップとを含むことを特徴とするトランジスタ素子製造方法。

【請求項17】 前記スリット内に前記不純物を含む半導体を設けるステップの代わりに、該スリット内に金属を設けるステップを含むことを特徴とする請求項16記載のトランジスタ素子製造方法。

【請求項18】 半導体基板上に絶縁体を設けるステップと、この設けた絶縁体上に半導体層を設けるステップと、この半導体層上に凸部を設けるステップと、前記半導体基板の前記凸部の下部領域にイオンが到達するようにイオン注入するステップとを含むことを特徴とするトランジスタ素子製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はトランジスタ素子及びその製造方法に関し、特にSOI (Silicon On Insulator) 基板上に形成する高集積、低消費電力LSI (Large Scale Inte

grated Circuit)に用いられるトランジスタ素子及びその製造方法に関する。

【0002】

【従来の技術】一般的な構造の部分空乏化型SOIMOS (Metal Oxide Semiconductor) FET (Field Effect Transistor) の断面が図39に示されている。同図に示されているように、シリコン基板101上に埋込み酸化膜102を介してSOI層103があり、SOI層103上にはゲート酸化膜104、ゲート電極106が形成され、ゲート電極の両側のSOI層103にはソース・ドレイン領域105が形成される。ゲート電極106の下部のSOI層103は $10^{17} [\text{cm}^{-3}] \sim 10^{18} [\text{cm}^{-3}]$ 程度の第2導電型不純物が導入されたボディ領域108をなし、ゲート電極に電圧を印加すると、ボディ領域108は空乏化しない中性領域107と空乏化する空乏化領域109との二つの領域に分かれる。また、チャンネルはボディ領域108のうち、ゲート酸化膜104側の領域に形成される。

【0003】なお、図中のCGはゲートーチャンネル間の容量であり、CBはチャンネルー基板間の容量である。

【0004】ところで、図40に示されているように、SOIMOSFETの低電圧下における高速動作を目的として、SOI層内に入力信号を印加する例が報告されている。これは、アサデラギらによりアイ・イー・ディー・エム・テクニカルダイジェスト (F. Assaderaghi, IEDM94, Tech. Dig. p. 809) に発表されたものである。このSOIMOSFETでは、同図に示されているように、SOI層とゲート電極とを配線Hで接続することによって、ゲート電極とSOI層内との両方に入力信号を印加するものである。

【0005】

【発明が解決しようとする課題】第1の課題は、SOIMOSFETにおける短チャンネル効果である。

【0006】最初に短チャンネル効果とゲート酸化膜厚の関係に関わる課題を述べる。

【0007】電界効果型トランジスタ (FET) を微細化し、チャンネル長が短くなると、短チャンネル効果により特性が劣化する。これはソース・ドレイン領域からの二次元的な電界の影響により、しきい値電圧が低下し、又はサブスレッショルド電流の急峻性が失われるものである。

【0008】これを解決する方法の一つとしてゲート酸化膜を薄くする方法が挙げられる。すなわち、ゲート酸化膜を薄くして、ゲートーチャンネル間の容量CGの値を増すと、ゲート電極ーチャンネル間の静電的な容量結合が増す。その結果ゲート電極によるチャンネル領域の制御性が高まるので、短チャンネル効果が改善されるものである。しかしゲート酸化膜を薄くする場合、その形成方法が困難になることに加え、絶縁性、経時変化に対する信

頼性等の品質を確保することも困難になる。

【0009】したがって、トランジスタの微細化のためには、形成方法や品質の確保が困難な薄いゲート酸化膜を用いずに、ゲートーチャンネル間の容量CGの値を増加させる手段が要求される。

【0010】次に、短チャンネル効果の不純物濃度依存性に関わる課題を述べる。

【0011】短チャンネル効果を抑制する方法として、基板不純物濃度を上昇させる方法を挙げることができる。これは以下の原理による。すなわち、不純物濃度が上昇すると、図41に示されているように、空乏化領域109の幅が狭くなり、中性領域107とソース・ドレイン領域105とが近づく。このため、ソース・ドレイン領域105からの電界のうち、中性領域107で終端される成分が増加し、ソース・ドレイン領域105からの二次元的な電界による特性劣化が抑制されるものである。

【0012】しかし、その一方で基板不純物濃度はしきい値の調整にも用いられる。このため、図41に示されているように、基板不純物濃度を上昇させるとしきい値が変動する。すなわち、しきい値の設定 (矢印YS) と短チャンネル効果の抑制 (矢印YT) とは互いに依存し、両立しない。したがって、基板不純物濃度としきい値とを独立して制御することは、従来の電界効果型トランジスタでは困難である。なお、同図中の矢印YCはチャンネルの制御を示している。

【0013】また、一般にチャンネルの制御性はゲートーチャンネル間の容量CGの値が大きく、チャンネルー基板間の容量CBの値が小さい場合に良好となる。これについて、図39を再び参照して説明する。チャンネルの電位は直列に接続された二つの容量、ゲートーチャンネル間容量CG及びチャンネルー基板間容量CBによる電位分割により決まる。ここで容量CGの値の容量CBの値に対する比が大きくなると、チャンネルの電位とゲート電極の電位との差が小さくなる。その結果、チャンネル電位のゲート電位に対する追従性が良くなるため、ゲート電極によるチャンネルの制御性が改善される。

【0014】通常の電界効果型トランジスタにおいて、短チャンネル効果を抑制するために基板不純物濃度を上昇させた場合、ゲートーチャンネル間の容量CGの値は変化しないが、チャンネルー基板間の容量CBの値が増加する。このため、ゲートのチャンネルに対する制御性が劣化し、Sファクタ (サブスレッショルド電流を一桁変化させるのに要するゲート電圧の変化分) が劣化する。したがって、トランジスタの微細化のためには、しきい値やチャンネルー基板間の容量に影響を与えずに、不純物濃度を上昇させる手法が求められる。

【0015】これらの課題は、図39に示されている従来のトランジスタ素子においても同様である。

【0016】第2の課題は、SOIMOSFETにおける基板浮遊効果である。これは第一導電型のSOIMO

10

20

30

40

50

5

SFETにおいて、SOI層下部に埋込み酸化膜102が存在するために、第2導電型キャリアが基板側に、あるいは基板側から流入できないために発生する異常動作である。低電圧下で動作する部分空乏化型のSOIMOSFETにおいては、特にバイアス条件が変化した場合に中性領域の幅が変化し、それに伴い余剰又は不足する正孔が、それぞれ基板側へ排出又は基板側から供給されないために生じる過渡的な異常動作や、チャネル幅方向に入射した $\alpha$ 線により、半導体を構成する原子が電離されることにより生ずる第2導電型キャリアが排出されないために発生する異常動作が問題となる。

【0017】したがって、SOIトランジスタの安定動作には、正孔の供給及び排出を速やかに行える構造が必要となる。

【0018】本発明は上述した従来技術の欠点を解決するためになされたものであり、その目的は寄生容量が小さいこと、基板バイアス効果が小さいこと等、SOIMOSFETの長所を持ち、かつこの素子の欠点である基板浮遊効果や、この素子を微細化した場合に問題となる短チャネル効果を抑制でき、低い電源電圧で動作可能なトランジスタ素子及びその製造方法を提供することである。

【0019】

【課題を解決するための手段】本発明によるトランジスタ素子は、基板と、絶縁体層と、前記絶縁体層によって前記基板と絶縁され該絶縁体層に接した領域にチャネルが形成される第1導電型不純物層とを含むことを特徴とする。

【0020】本発明によるトランジスタ素子製造方法は、絶縁体層上の半導体層上にマスクパターンを設けるステップと、この設けたパターンをマスクに前記半導体層をエッチングして薄膜化するステップと、この薄膜化された領域に第2導電型不純物層を設けるステップと、前記パターンによりマスクされた領域に第1導電型不純物層を設けるステップと、前記第1及び第2導電型不純物層に配線端子を接続するステップとを含むことを特徴とする。

【0021】

【発明の実施の形態】本発明の作用は以下の通りである。

【0022】絶縁体層上（後述する図1中の符号2）に、半導体活性層（後述する図1中の符号3）を設ける。この半導体活性層は、第1導電型不純物高濃度拡散層（後述する図1中の符号5）、不純物低濃度領域（後述する図1中の符号4）、第1導電型不純物高濃度拡散層（後述する図1中の符号5）を、この順に横方向に接続したものとす。そして、不純物低濃度領域の垂直上方に、第2導電型不純物高濃度領域である半導体層からなる上部ゲート電極（後述する図1中の符号6）を形成する。絶縁体層の下部には、金属、金属シリサイド等の

6

導電体、又は半導体よりなる下部ゲート電極（後述する図1中の符号1）を形成する。

【0023】第1導電型がn型である場合には下部電極に正の電位を印加し、上記第1導電型がp型である場合には下部電極に負の電位を印加する。上部ゲート電極に入力信号を印加し、第1導電型不純物高濃度拡散層の一方又はこれに接続される素子から出力信号を得る。

【0024】また、上部ゲート電極の少なくとも一部を、金属、金属シリサイド等、第2導電型不純物高濃度半導体とは異なる材料（後述する図5中の符号10）で形成する。

【0025】さらにまた、半導体層下部の絶縁体層中に、その第1導電型がn型である場合には正の電荷（後述する図6中の「+」）を導入し、上記第1導電型がp型である場合には負の電荷を導入する。あるいは、半導体層下部の絶縁体中に強誘電体材料（後述する図7中の強誘電体材料11）を埋込み、その界面に分極電荷を発生させることにより上記電荷を半導体層の下部に導入する（図7中の「+」及び「-」）。これにより、下部ゲート電極を省略することもできる。

【0026】一方、不純物低濃度領域のうち、その下部に位置する一部の領域（後述する図11中の真性領域8）を、不純物低濃度領域中の他の領域よりも、バンドギャップの狭い材料により形成する。

【0027】また、不純物低濃度領域を素子領域端よりも外側に延長し、さらにその外側に該不純物低濃度領域より第2導電型の不純物濃度が高い領域を設ける（後述する図29中における半導体層の延長部50）。

【0028】さらにまた、絶縁体上の半導体層上にエッチングに対するマスクとなる材料のパターンを形成し（後述する図18等における酸化膜36）、このパターンをマスクにして、半導体層をエッチングにより薄膜化する。この薄膜化した領域に第1導電型不純物を高濃度に拡散又はイオン注入することにより第1導電型不純物高濃度拡散層を設ける。そのパターンによるマスク効果によりエッチングされなかった領域には、第2導電型不純物高濃度拡散層を設け、第1及び第2導電型不純物高濃度拡散層に配線を接続し、第2導電型不純物高濃度拡散層に接続する配線を入力端子とする。

【0029】以下、本トランジスタの動作原理について、nチャネルトランジスタの場合を例に述べる。pチャネルトランジスタの場合は以下の極性をすべて逆にした場合が当てはまる。

【0030】下部ゲートに正の電圧を印加すると、p型領域の下部に、電子が流れるチャネルとなる反転層が形成される。ここで、上部ゲート電極に入力される信号の電圧が、ある電圧レベル（しきい値電圧 $V_{th}$ ）である場合に、反転層の形成と消失の遷移が起きるように、下部ゲート1に与える電圧を設定する。しきい値電圧 $V_{th}$ の値は、入力信号における高電圧レベル $V_H$ と低電圧レベ

ルVL との間の値か、あるいは低電圧レベルVL よりも低い値をとる。

【0031】これにより、上部ゲート電極にしきい値電圧より高い電圧が印加された場合には、p型領域の下部に反転層が形成されるためにトランジスタが導通する。また、上部ゲート電極にしきい値電圧より低い電圧を印加した場合には反転層が消失するため、トランジスタは導通しない。従って、上部ゲート電極の入力信号を高電圧レベルVH と低電圧レベルVL との間で変化させることにより、スイッチング又は増幅動作を行うことができる。

【0032】ここで、第1の課題に対する作用を述べる。

【0033】本発明のトランジスタ素子は、通常の電界効果型トランジスタ(MOSFET)と異なり、ゲート酸化膜を介さずに、上部ゲート電極を直接第2導電型領域に接触させる。MOSFETではゲート電極とチャネルとの間にゲート酸化膜が介在するため、ゲート電極によるチャネル電位の制御性を高めるためには、ゲート酸化膜を薄くする必要がある。これに対して本構造は上部ゲート電極が空乏層を介してチャネルに隣接しており、ゲートとチャネルの間に誘電率の低く静電容量が小さい酸化膜が存在しない。この素子において、通常のMOSFETのゲート-チャネル間容量に相当するのは、中性領域とチャネルとの間の容量となる(後述する図2中の容量CG)。ここで、ゲート電極とチャネルとの間には誘電率の高い半導体層があるため、ゲート-チャネル間容量の値が増加し、ゲートによるチャネルの制御性が高まる。また、ゲート-チャネル間容量の値をより大きく設定するためには、第2導電型領域の不純物濃度を上昇させるか、第2導電型領域下部の低濃度領域(後述する図11中の真性領域8)を薄くするだけで良く、薄いゲート酸化膜を形成する必要がない。

【0034】また、本発明のトランジスタ素子では、短チャネル効果の抑制のために上部ゲート電極に隣接する第2導電型領域の不純物濃度を上昇させると、その内部の中性領域とチャネルとの間の容量の値が増加する。

【0035】次に、第2の課題に関する作用を述べる。本発明のトランジスタ素子では、中性領域(p型領域4の上部に形成される)に上部から第2導電型不純物高濃度拡散層(p+領域よりなる上部ゲート電極)が接続されているか、第2導電型不純物高濃度拡散層自体がSOI層中の中性領域としての役割を持つ。このため、第2導電型不純物高濃度拡散層を通して第2導電型キャリアの流入、排出が速やかに行われるため、基板浮遊効果が発生しない。

【0036】また、上部ゲート電極の上部や側面に抵抗の低い金属や金属シリサイドを接触させることで、上部ゲート電極のチャネル幅方向の抵抗を低減できる。金属層を上部ゲートの上面だけでなく、その側面にも接触さ

せることにより、上部ゲートを構成する半導体と、金属層間の接触抵抗を低減できる。

【0037】さらにまた、上部ゲート電極のうち、低濃度不純物領域に接触する少なくとも一部分を金属で構成することにより、上部ゲート電極と半導体層との間にショットキー接触が得られるので、上部ゲートから半導体層に流入するリーク電流を低減できる。

【0038】一方、半導体下部の絶縁層中に電荷を導入すると(後述する図6参照)、これらの電荷による電界が、下部ゲートによる電界と同じ役割をするため、下部ゲートに印加する電圧を低減することができる。あるいは下部ゲートを省略することができる。

【0039】また、半導体下部の絶縁層中に強誘電体よりなる層を設けることにより(後述する図7参照)、強誘電体の界面に分極電荷を発生させると、分極電荷からの電界に下部ゲートによる電界と同じ役割を持たせることができる。

【0040】さらにまた、バンドギャップの狭い材料を低濃度領域(後述する図9の符号14)の下部に設ける(後述する図9の符号13)ことにより、チャネルにおけるキャリア濃度を上昇させることができる。狭バンドギャップ材料であるゲルマニウムは正孔の移動度が大きいので、nチャネルトランジスタに図1の構造、pチャネルトランジスタに後述する図9の構造を用いて、CMOS回路のMOSFETを置き換えると、高速な回路動作が可能になる。

【0041】ここで、下部ゲートの一部を浮遊ゲートとして、下部ゲートから分離し、浮遊ゲートに下部ゲートから酸化膜を通して電荷を注入/排出する。浮遊ゲートに正の電荷を注入すると、図1の構造において下部ゲートに正の電荷を印加した場合と同じ効果が得られる。そして、浮遊ゲートの正電荷を排出するか、浮遊ゲートに負の電荷を注入すると、トランジスタのしきい値が上昇する。各時点においてLSI中で動作させる必要のない回路ブロックのしきい値をこの方法により上昇させると、オフ状態においてトランジスタに流れるリーク電流を低減できるので、消費電力を低減できる。

【0042】さらにまた、同様に図1の構造における下部ゲートの電圧や、図7における分極電荷を制御することにより、トランジスタのしきい値を変化させ、同様にオフ状態においてトランジスタに流れるリーク電流を低減し、消費電力を低減することができる。

【0043】そして、第1導電型のチャネルが形成される部分を第2導電型不純物濃度、あるいは、その付近の不純物濃度を、第2導電型の他の領域や上部ゲート電極を構成する第2導電型高濃度不純物拡散層よりも低くするか、この部分を真性領域により構成すると(後述する図4、図11参照)、チャネル領域の不純物散乱が減るので電流値が増加すると共に、第2導電型領域とソース・ドレイン領域との間の寄生容量を低減できる。



【0044】また、本発明では第2導電型高濃度不純物拡散層と第1導電型高濃度不純物拡散層を、横方向（例えば、図1）あるいは縦方向（例えば、図5）に分離するので、これらが接触することによってバンド間トンネルによりリーク電流が発生することを防ぐことができる。上部ゲート電極とソース・ドレイン領域とを、横方向（例えば、図1）あるいは縦方向（例えば、図5）に分離するので、上部ゲート電極とソース・ドレイン領域との間の容量（寄生容量となるフリンジ容量）を低減することができる。このような寄生容量が減ると、素子を高速に動作させることができる。

【0045】本発明のトランジスタはシリコン材料に適用できるため、従来のシリコンLSIの製造装置、製造プロセスを用いて、製造することができる。

【0046】また、上部ゲート電極を通常のMOSFETにおけるゲート電極とみなして、回路中のMOSFETを本発明のトランジスタにより置換えることにより、MOSFETにより構成される通常の回路、たとえばCMOS回路を、本発明のトランジスタにより構成できる。

【0047】さらにまた、低不純物濃度領域を素子領域端よりも外側に延長し、さらにその外側に該低不純物濃度領域より第2導電型の不純物濃度が高い領域を設ける（図29における延長部50）。これにより、オフ状態において下部ゲートによって素子領域端（チャネル幅方向のチャネルの端）が反転され、リーク電流が流れることを防ぐことができる。第2導電型の不純物濃度が高い領域では反転層が形成されにくいので、この領域を素子領域端に設けることにより、OFF状態においても反転もしくは弱反転が起きやすい素子領域端において反転もしくは弱反転によりリーク電流が流れることを抑制できる。

【0048】そして、第2導電型の不純物濃度が高い領域をソース・ドレイン領域よりも外側に設けることにより、第2導電型層とソース・ドレイン領域間の容量が増すのを抑制すると共に、高不純物濃度の第2導電型層とソース・ドレイン領域との間にバンド間トンネルによるリーク電流が流れることを抑制することができる。

【0049】また、絶縁体上の半導体層上にエッチングに対するマスクとなる材料のパターンを形成し、該パターンをマスクに半導体層をエッチングにより薄膜化し、薄膜化した領域に第1導電型不純物を高濃度に拡散又はイオン注入することにより第1導電型不純物高濃度拡散層を設け、該パターンによるマスク効果によりエッチングされなかった領域には、第2導電型不純物高濃度拡散層を設け、第1及び第2導電型不純物高濃度拡散層に配線を接続し、第2導電型不純物高濃度拡散層に接続する配線を入力端子とすることにより、凸型の半導体からなる構造を有し、上記の作用を持つトランジスタを製造することができる。

【0050】次に、本発明の実施例について図面を参照して説明する。

【0051】図1は本発明によるトランジスタ素子の第1の実施例の構成を示す断面図である。図において、本発明の第1の実施例によるトランジスタ素子は、絶縁体層である埋込み酸化膜2上に、半導体よりなる半導体活性層3が形成されている。この半導体活性層3は、不純物低濃度領域であるp型領域4と、このp型領域4を挟んで両側に設けられ半導体よりなる第1導電型不純物高濃度拡散層であるソース・ドレイン領域5とを含んで構成されている。

【0052】さらに、不純物低濃度領域であるp型領域4の垂直上方には、第2導電型不純物高濃度領域である半導体層により形成される上部ゲート電極6が形成されている。そして、絶縁体層である埋込み酸化膜2の下部には、金属、金属シリサイド等の導電体、又は半導体よりなる下部ゲート電極1が形成されている。

【0053】ここで、上記の第1導電型がn型である場合には下部電極に正の電位、上記第1導電型がp型である場合には下部電極に負の電位を印加し、上部ゲート電極に入力信号を印加し、第1導電型不純物高濃度拡散層の一方又はこれに接続される素子から出力信号を得る。

【0054】このトランジスタ素子は、以下の手順によって形成することができる。まず、リン(P)を $1 \times 10^{18} [\text{cm}^{-3}]$  導入したn型のシリコン基板よりなる下部ゲート1上に厚さ100 [nm] の埋込み酸化膜2を介して厚さ10 [nm] の単結晶シリコンよりなるSOI層3を設ける。SOI層3の中央部には、ほう素を $1 \times 10^{18} [\text{cm}^{-3}]$  導入したp型領域4を幅100 [nm] にわたり設ける。p型領域4の両側には、リンを $1 \times 10^{20} [\text{cm}^{-3}]$  導入したn+領域よりなるソース・ドレイン領域5を設ける。p型領域4の中央部には80 [nm] にわたり、p型領域4の上部に接するように、高さ200 [nm] のp+領域よりなる上部ゲート電極6を設ける。

【0055】下部ゲート1には正の電圧を印加することにより、p型領域4の下部に反転層7が形成される。ここで、上部ゲート電極6に入力される信号の電圧が、高電圧レベル(VH)と低電圧レベル(VL)との間のある電圧、すなわちしきい値電圧(Vth)である場合に、反転層の形成/消失が行われるように、下部ゲート1に与える電圧を設定する。これにより、上部ゲート電極6にしきい値電圧より高い電圧が印加された場合には、p型領域4の下部に反転層が形成されるためにトランジスタが導通する。また上部ゲート電極6にしきい値電圧より低い電圧を印加した場合には反転層が消失するため、トランジスタには電流が導通しない。従って、上部ゲート電極の入力信号を高電圧レベル(VH)と低電圧レベル(VL)との間で変化させることにより、スイッチング又は増幅動作を行うことができる。高電圧レベルVH

、低電圧レベルVL及び下部ゲートの印加電圧は、それぞれ例えば、0.8[V]、0.0[V]、15[V]とする。

【0056】すなわち本実施例では、通常の電界効果型トランジスタ(MOSFET)と異なり、ゲート酸化膜を介さずに、上部ゲート電極を直接第2導電型領域に接触させる。これにより薄いゲート酸化膜を形成しなくともゲート—チャネル間容量CGが増加し、ゲートによるチャネルの制御性が増すのである。

【0057】また、本実施例では、短チャネル効果の抑制のために上部ゲート電極に隣接する第2導電型領域の不純物濃度を上昇させると、その内部の中性領域とチャネル間の容量が増加する。このため、短チャネル効果の抑制のために基板不純物濃度を上昇させると、通常の電界効果型トランジスタとは逆に、ゲート—チャネル間容量CGの値が増加し、ゲート電極によるチャネル領域の制御性が改善される。

【0058】さらにまた、本実施例では、しきい値電圧は下部ゲート電極により制御されるため、短チャネル効果の抑制を目的とした基板不純物の高濃度化と、しきい値の設定とが独立に行えるのである。従って、通常の電界効果型トランジスタにおいて、しきい値電圧の設定と短チャネル効果の抑制が、互いに悪影響を及ぼしあうという問題、例えば短チャネル効果を抑制するために基板不純物濃度を上昇させるとしきい値電圧が高くなりすぎるという問題、が解決される。

【0059】そして、中性領域(p型領域4の上部に形成される)に上部から第2導電型不純物高濃度拡散層(p+領域よりなる上部ゲート電極6)が接続しているか、第2導電型不純物高濃度拡散層自体がSOI層中の中性領域としての役割を持つため、第2導電型不純物高濃度拡散層を通して第2導電型キャリアの流入、排出が速やかに行われるため、基板浮遊効果が発生しない。

【0060】ここで、チャネル—下部ゲート間の容量は不純物濃度に依存しない。図2に示されているように、中性領域107とチャネルとの間の容量は、通常の電界効果型トランジスタのゲート—チャネル間容量CGに相当し、チャネル—下部ゲート間の容量は通常のトランジスタのチャネル—基板間容量CBに相当する。したがって、本トランジスタ素子では、短チャネル効果の抑制のために基板不純物濃度を上昇させると、通常の電界効果型トランジスタとは逆に、ゲート—チャネル間容量CGが増加することになり、ゲート電極によるチャネル領域の制御性が改善されるのである。

【0061】また、本トランジスタ素子では、しきい値電圧は下部ゲート電極により制御されるため、短チャネル効果の抑制を目的とした基板不純物の高濃度化と、しきい値の設定が独立に行える。すなわち、基板不純物濃度を短チャネル効果の抑制に十分な濃度にまず設定し、次に必要なしきい値電圧が得られるように下部ゲート電

極の電位を設定すれば良い。nチャネルトランジスタを例にとると、しきい値を上げる場合は下部ゲートの電位を低下させ、しきい値を下げる場合は下部ゲートの電位を上昇させれば良い。従って、しきい値電圧の設定と短チャネル効果の抑制が、互いに悪影響を及ぼしあうという問題、例えば短チャネル効果を抑制するために基板不純物濃度を上昇させるとしきい値電圧が高くなりすぎるという問題、が解決される。

【0062】この様子が図3に示されている。同図に示されているように、しきい値の設定(矢印YS)と短チャネル効果の抑制(矢印YT)とが依存せず、独立して制御することができるのである。なお、同図中の矢印YCはチャネルの制御を示している。

【0063】ここで、図1において、p型領域4を不純物を導入しない真性領域8により置き換えた例が図4に示されている。また、p型領域4は低濃度、例えば $1 \times 10^{17} [\text{cm}^{-3}]$ のリンを導入したn型の領域に置き換えても良い。また、下部ゲートは金属や、金属シリサイドにより形成しても良い。

【0064】なお、図1及び図4において、下部ゲートは、ほう素(B)を導入したn型のシリコン基板により形成しても良い。

【0065】図5は本発明の第2の実施例によるトランジスタ素子の構成を示す断面図である。この構造は図1の構造において、p型領域4をソース・ドレイン領域5よりも上部に40[nm]延長し、その上部にp型領域4と同じ幅を持ち、高さが100[nm]のp+領域よりなる上部ゲート電極6を設ける。ソース・ドレイン領域上には厚さ50[nm]の酸化膜9を設け、その上部に上部ゲート電極6を囲むようにタングステン(W)よりなる厚さ100[nm]の金属層10を設ける。

【0066】すなわち、上部ゲート電極6の少なくとも一部を金属、金属シリサイド等、高濃度第2導電型半導体とは異なる材料で形成するのである。

【0067】ここで金属層の材質はタングステン(W)に限らず他の金属、例えば、モリブデン(Mo)、銅(Cu)、タンタル(Ta)、アルミニウム(Al)、チタン(Ti)等でも良い。また合金や、金属シリサイドを用いても良い。

【0068】すなわち本実施例では、上部ゲート電極の上部や側面に抵抗の低い金属や金属シリサイドを接触させているのである。これにより、上部ゲート電極のチャネル幅方向の抵抗を低減できるのである。また、金属層10を上部ゲート電極の上面だけでなく、その側面にも接触させることにより、上部ゲート電極を構成する半導体と、金属層間の接触抵抗を低減できるのである。

【0069】図6は本発明の第3の実施例によるトランジスタ素子の構成を示す断面図である。これは図1の構造において、埋込み酸化膜2中のp型領域4の下部に当たる領域に、正の電荷「+」を導入するものである。正

13

の電荷は、例えば埋込み酸化膜中にシリコンをイオン注入し、酸化膜中に $E^-$ センターと呼ばれる欠陥を導入することで形成する。または、埋込み酸化膜をCVD法等により形成し、同様の欠陥を導入することにより形成する。なお、 $E^-$ センターとは、 $SiO_2$ 中にSiを過剰に導入したことにより発生する酸化膜の欠陥である。Siに酸素と結合できない余剰な結合手が生じるために、正の電荷を帯びるものである。

【0070】正の電荷からの電界により、p型領域4の下部に反転層が形成されるので、この正電荷は、下部ゲートに正の電圧を印加することと同じ作用を持つ。図6の実施例においては、下部ゲートに正の電圧を印加してもよく、また印加しなくても良い。また、下部ゲートが存在しなくても良い。

【0071】トランジスタがpチャネルの場合には、負の電荷を導入する。これは例えば酸化膜中にアルミニウム(Al)をイオン注入することにより形成する。

【0072】すなわち本実施例では、半導体層下部の絶縁体層中に、第1導電型がn型である場合には正の、第1導電型がp型である場合には負の電荷を導入するので

【0073】そして、半導体下部の絶縁層中に電荷を導入すると、これらの電荷による電界が、下部ゲートによる電界と同じ役割をするため、下部ゲートに印加する電圧を低減することができる。あるいは下部ゲートを省略することができる。

【0074】図7は本発明の第4の実施例によるトランジスタ素子の構成を示す断面図である。これは図6の構造において、酸化膜中の正電荷を導入するために、埋込み酸化膜の一部を強誘電体材料11に置き換えたものである。ここで強誘電体材料11の厚さは例えば300 [nm]で、その上下にそれぞれ厚さ50 [nm]の酸化膜を形成する。下部ゲートに一度正の電圧を印加すると、強誘電体材料の上部界面に正の分極電荷、下部界面に負の分極電荷が形成され、その後下部ゲートの電位を0 [V]に戻すと、分極電荷はそのまま残り、上部界面の正の分極電荷が図6の構造における正電荷と同じ作用をする。

【0075】強誘電体材料には、 $BaTiO_3$ 、 $SrTiO_3$ 、 $PbTiO_3$ 、あるいは他の強誘電体を用い

【0076】すなわち本実施例では、半導体層下部の絶縁体中に強誘電体材料を埋込み、その界面に分極電荷を発生させることにより、電荷を半導体層の下部に導入しているのである。これにより、下部ゲート電極を省略することもできるのである。

【0077】また、半導体下部の絶縁層中に強誘電体よりなる層を設けることにより、強誘電体の界面に分極電荷を発生させると、分極電荷からの電界に下部ゲートによる電界と同じ役割を持たせることができる。

14

【0078】図8は本発明の第5の実施例によるトランジスタ素子の構成を示す断面図である。図1の構造における上部ゲート電極6を、p+シリコンの代わりにタングステン(W)により形成し、ショットキー上部ゲート電極12とする。

【0079】ショットキー上部ゲート電極12とp型領域との間は、抵抗が大きいショットキー接触になるので、上部ゲート電極とソース・ドレイン領域間のリーク電流が低減される。

【0080】すなわち本実施例では、上部ゲート電極のうち、低濃度不純物領域に接触する少なくとも一部分を金属で構成しているのである。これにより、上部ゲート電極と半導体層間にショットキー接触が得られるので、上部ゲート電極から半導体層に流入するリーク電流を低減できるのである。

【0081】図9は本発明の第6の実施例によるトランジスタ素子の構成を示す断面図である。図1の構造をpチャネルトランジスタに適用するため、p型領域4に代えてn型領域14を設け、その下部にn型領域14よりもバンドギャップの狭い材料により形成される狭バンドギャップ領域13を設ける。この場合、下部ゲート1、上部ゲート電極6、ソース・ドレイン領域5はn+型とし、狭バンドギャップ領域13はn型のシリコンとゲルマニウムとの混晶とする。

【0082】狭バンドギャップ領域ではキャリア濃度が高くなるので、反転層が形成されやすくなるので、反転層の形成に必要な下部ゲートとソース電極間の電圧を低減できる。

【0083】すなわち本実施例では、不純物低濃度領域のうち、その下部に位置する一部の領域を、不純物低濃度領域の他の領域よりも、バンドギャップの狭い材料により形成するのである。

【0084】また、バンドギャップの狭い材料を低濃度領域の下部に設けることにより、チャネルにおけるキャリア濃度を上昇させることができる。また、狭バンドギャップ材料であるゲルマニウムは正孔の移動度が大きいので、nチャネルトランジスタに図1の構造、pチャネルトランジスタに図9の構造を用いて、CMOS回路のMOSFETを置き換えると、高速な回路動作が可能になる。

【0085】図10は本発明の第7の実施例によるトランジスタ素子の構成を示す断面図である。第1の実施例(図1)の構造において、下部ゲートを埋込み酸化膜2に囲まれるように形成し、下部ゲートとp型領域4の間に埋込み酸化膜に囲まれた浮遊ゲート15を設ける。浮遊ゲート上部及び下部の酸化膜厚は例えば30 [nm]とする。

【0086】浮遊ゲートには下部ゲートから酸化膜を通して電荷を注入/排出する。浮遊ゲートに正の電荷を注入すると、図1の構造において下部ゲートに正の電荷を

15

印加した場合と同じ効果が得られる。また、浮遊ゲートの正電荷を排出するか、浮遊ゲートに負の電荷を注入すると、トランジスタのしきい値が上昇する。各時点においてLSI中で動作させる必要のない回路ブロックのしきい値をこの方法により上昇させると、オフ状態においてトランジスタに流れるリーク電流を低減できるので、消費電力を低減できる。

【0087】また、下部ゲートの一部を浮遊ゲートとして、下部ゲートから分離し、浮遊ゲートに下部ゲートから酸化膜を通して電荷を注入／排出する。浮遊ゲートに正の電荷を注入すると、図1の構造において下部ゲートに正の電荷を印加した場合と同じ効果が得られる。また、浮遊ゲートの正電荷を排出するか、浮遊ゲートに負の電荷を注入すると、トランジスタのしきい値が上昇する。各時点においてLSI中で動作させる必要のない回路ブロックのしきい値をこの方法により上昇させると、オフ状態においてトランジスタに流れるリーク電流を低減できるので、消費電力を低減できる。

【0088】図11は本発明の第8の実施例によるトランジスタ素子の構成を示す断面図である。図5の構造において、p型領域4のうち、下部の厚さ10[nm]の領域を真性領域とする。この真性領域8を薄く形成するだけで、薄いゲート酸化膜を形成せずに、ゲートーチャネル間容量の値を増加させ、ゲートによるチャネルの制御性を高めることができるのである。

【0089】図12は図4のトランジスタ素子において、真性領域8の上部にn-型領域14を設けたトランジスタ素子の構成を示す断面図である。図1のトランジスタ素子において、反転層7における垂直電界は、p型領域の濃度が低い場合や、ここが真性領域で構成される場合に低くなる。また、このp型領域を、p型と逆の導電型であるn型領域に置き換えると、垂直電界は更に低くなる。

【0090】この図12のトランジスタ素子においては、n-型領域14をチャネル領域7の上部に設けて、チャネル領域7の垂直電界を緩和しているのである。チャネル領域7の垂直電界が緩和されると、チャネルにおけるキャリア移動度が増して電流値が増加する。それと共に、しきい値電圧を設定するために下部ゲート1に印加すべき電圧を低く抑制することができる。

【0091】図13は、図1のトランジスタ素子において、上部ゲート電極6を、ソース・ドレイン領域5及びp型領域4よりも、バンドギャップが広い材料により形成したワイドギャップ上部ゲート電極16によって置き換えたトランジスタ素子の構成を示す断面図である。

【0092】図1のトランジスタ素子ではゲート・ソース間のリーク電流（漏れ電流）が、上部ゲート電極6のバンドギャップに依存する。バンドギャップが広いほどこの漏れ電流が減少する。この図13のトランジスタ素子では、この原理に基づいてゲート・ソース間のリーク

16

電流を低下させているのである。

【0093】ここで、ワイドギャップ上部ゲート電極16を構成する材料は、ソース・ドレイン領域5及びp型領域4に対して上記の関係を満たすものであれば良い。ソース・ドレイン領域5及びp型領域4がシリコンによって形成される場合、ワイドギャップ上部ゲート電極16は、SiC、GaAs、AlGaAs等で構成すれば良い。

【0094】図14は、本発明のトランジスタ素子の使用例を示す図である。同図には、MOSFETにより構成される通常のCMOS（Complementary MOS）インバータにおけるnチャネルMOSFET及びpチャネルMOSFETを、図1のnチャネルトランジスタ素子及び図1の素子の導電型を逆にしたpチャネルトランジスタ素子により、それぞれ置き換えた構成が示されている。

【0095】図14において、入力信号Vinは、nチャネルトランジスタ23の上部ゲート電極6及びpチャネルトランジスタ24の上部電極6に入力される。nチャネルトランジスタ23及びpチャネルトランジスタ24の夫々のドレイン領域22は互いに接続され、ここから出力信号Voutを得る。pチャネルトランジスタ24のソース領域21は電源に接続され、nチャネルトランジスタ23のソース領域21は接地される。

【0096】このインバータは、通常のCMOS回路において、MOSFETのゲート電極同士が接続される接点に、図1のトランジスタ素子の上部ゲート電極6を接続し、ソース・ドレイン領域5のうち的一方をソース領域21、他方をドレイン領域22として用いたものである。このインバータは、通常のCMOSインバータと同様に、入力信号を反転させる動作を行う。

【0097】ここで、電源電圧VDDは、例えば0.5[V]とし、nチャネルトランジスタ23の下部ゲート1に印加する電圧VBG1を+10[V]、pチャネルトランジスタ24の下部ゲート1に印加する電圧VBG2を-10[V]とする。

【0098】なお以上は、CMOS構成のインバータにおいて、MOSFETを本発明のトランジスタ素子に置き換える場合について説明したが、NANDゲートやNORゲート、フリップフロップ等、インバータ以外のCMOS論理ゲート等を本発明のトランジスタ素子に置き換えても良いことは明らかである。

【0099】また、MOSFETを用いたCMOS構成以外の構成をとる論理ゲートにおいて、MOSFETを本発明のトランジスタ素子に置き換えても良い。さらに、論理回路以外の回路に本発明のトランジスタ素子を用いることもできる。例えば、抵抗負荷の場合には、図15に示されているように、ソース領域21に電源電圧VDD、上部ゲート電極6に入力電圧Vg、ドレイン領域22に抵抗負荷R1を接続すれば良い。一方、容量負荷

の場合には、図16に示されているように、ソース領域21に電源電圧VDD、上部ゲート電極6に入力電圧Vg、ドレイン領域22に容量負荷C1を接続すれば良い。

【0100】以上のように、本トランジスタ素子においては、図1の構造における下部ゲートの電圧や、図7における分極電荷を制御することにより、トランジスタのしきい値を変化させ、同様にオフ状態においてトランジスタに流れるリーク電流を低減し、消費電力を低減することができるのである。

【0101】また、第1導電型のチャネルが形成される部分を第2導電型不純物濃度、あるいは、その付近の不純物濃度を、第2導電型の他の領域や上部ゲート電極を構成する第2導電型高濃度不純物拡散層よりも低くするか、この部分を真性領域により構成することにより（図4又は図11参照）、チャネル領域の不純物散乱が減るので電流値が増加すると共に、第2導電型領域とソース・ドレイン領域との間の寄生容量を低減できるのである。

【0102】さらにまた、第2導電型高濃度不純物拡散層と第1導電型高濃度不純物拡散層とを、横方向（例えば図1参照）あるいは縦方向（例えば図5参照）に分離することにより、これらが接触することによってバンド間トンネルによりリーク電流が発生することを防げるのである。

【0103】次に、本トランジスタ素子の製造方法について説明する。図17から図28は本発明によるトランジスタ素子製造方法の一実施例を示す模式的断面図又は上面図である。これら各図において、同等部分は同一符号により示されている。

【0104】まず、図17に示されているように、シリコン基板31上に厚さ80[nm]の埋込み酸化膜32と厚さ200[nm]のSOI層33とがあるSOI基板において、SOI層33上よりこれを通して、ほう素を180[keV]で $1 \times 10^{18} [\text{cm}^{-3}]$ 注入し、800度で10分熱処理する。これにより、シリコン基板31のうち、埋込み酸化膜32の下の部分に下部p型領域35を形成する。

【0105】次に、ほう素を10[keV]で $1 \times 10^{19} [\text{cm}^{-3}]$ 斜め注入する。これにより、SOI層33の上部と側面とにp+型領域34を設ける。また、ほう素を80[keV]で $5 \times 10^{17} [\text{cm}^{-3}]$ イオン注入することにより、SOI層33の内部を低不純物濃度のp型領域40とする。

【0106】図18に移行し、第1の酸化膜36をCVD (Chemical Vapor Deposition) 法により100[nm]堆積し、SOI層34の中央部を横断する形状にフォトリソグラフィ及び反応性イオンエッチング (Reactive Ion Etching; 以下、RIEと呼ぶ) を用いてパターンニングす

る。なお、同図において、(a)は平面図、(b)は(a)のA-A'断面断面図である。

【0107】次に、図19に示されているように、第1の酸化膜36をマスクにしてRIEによりSOI層33を190[nm]エッチングする。なお、同図において、(a)は平面図、(b)は(a)のA-A'断面断面図である。

【0108】次に、第2の酸化膜37をCVD法により20[nm]堆積し、第1の酸化膜36と直角に、かつSOI層33の周辺部に残ったp+型領域34を覆わないようにフォトリソグラフィ及びRIEを用いてパターンニングする。

【0109】まず、フォトリソグラフ44を設けた状態が図20に示されている。なお、同図のA-A'断面断面図が図21(a)、B-B'断面断面図が図21(b)である。

【0110】そして、エッチング後においては、酸化膜36の周辺及び段差部に、酸化膜37が図22に示されているように残る。なお、同図のA-A'断面断面図が図23(a)、B-B'断面断面図が図23(b)である。

【0111】次に第1の酸化膜37をマスクにRIEによりSOI層33を20[nm]エッチングする。このエッチングの状態が図24に示されている。なお、同図のA-A'断面断面図が図25(a)、B-B'断面断面図が図25(b)である。

【0112】図25(a)において、酸化膜37をRIEによりエッチングして除去した状態のA-A'断面断面図が図26に示されている。

【0113】次に、A-A'断面断面図である図27に示されているように、SOI層33上にリン又はひ素を含んだn+シリコン42を50[nm]エピタキシャル成長し、これよりリン又はひ素をSOI層33に拡散させる。これにより、ソース・ドレイン領域43を形成する。次にCVD法により厚さ150[nm]の酸化膜よりなる層間絶縁膜38を堆積する。

【0114】最後に、この層間絶縁膜38にコンタクトホールを開け、ソース・ドレイン領域、p+型領域34、下部p型領域41に対して配線39を接続する。ただし、下部p型領域35の配線を接続する部分には、イオン注入により下部p+型領域41を設ける。なお、この状態における上面図が図28である。

【0115】要するに、本製造方法においては、絶縁体上の半導体層上にエッチングに対するマスクとなる材料のパターン36を形成し、このパターンをマスクに半導体層をエッチングにより薄膜化しているのである。そして、この薄膜化した領域に第1導電型不純物を高濃度に拡散又はイオン注入することにより第1導電型不純物高濃度拡散層を設け、そのパターンによるマスク効果によりエッチングされなかった領域には、第2導電型不純物高濃度拡散層を設けているのである。最後に、第1及び第2導電型不純物高濃度拡散層に配線を接続し、第2導

電型不純物高濃度拡散層に接続する配線を入力端子としているのである。

【0116】ここで、図29は、半導体及び埋込み酸化膜により構成される部分を抜き出して描いた斜視図である。図中のB-B'断面において、チャネル幅方向にSOI層33と、それに設けられたp+型領域34が、チャネル幅WCHよりも突出した半導体層の延長部50を設けることにより、図30に示されているようなチャネル端のリーク電流ILを防ぐことができるのである。

【0117】ここで、図30に示されているチャネル端のリーク電流ILは、下部ゲートからの電界Eがチャネル端に集中するために、この部分のしきい値電圧が低下することにより、発生するものである。これに対し、図29に示されているように、半導体層の延長部50の端にp+型領域34を設けると、p+型領域34では不純物濃度が高いためにしきい値電圧が高くなる。これにより、前述したしきい値電圧の低下が抑制され、リーク電流ILの発生を防ぐことができるのである。

【0118】要するに、不純物低濃度領域を素子領域端よりも外側に延長し、さらにその外側にその不純物低濃度領域より第2導電型の不純物濃度が高い領域を設けているのである。

【0119】図31～38は本トランジスタ素子の他の製造方法を示す模式的断面図である。

【0120】シリコン基板31上に厚さ100[nm]の埋込み酸化膜32と厚さ10[nm]のSOI層33があるSOI基板において、SOI層33上よりこれを通して、リンを200[KeV]で $1 \times 10^{18} [\text{cm}^{-3}]$ 注入し、800度で10分熱処理する。これにより、シリコン基板31のうち、埋込み酸化膜寄りの部分に下部n型領域51を形成する。次に、第1のCVD酸化膜52をCVD法により150[nm]堆積し、通常のフォトリソグラフィ工程と、選択性のRIEによるエッチング工程とにより、これを幅200[nm]にパターンニングする。これにより、図31に示されている形状が得られる。このCVD酸化膜52は、後述するスリットを作成するためのダミーパターンとなる。

【0121】次に、選択的エピタキシャル成長によりSOI層33上にリン又はひ素を含んだn+シリコン42を50[nm]エピタキシャル成長させる。次に、800度10分の熱処理を行い、n+シリコン42によりリン又はひ素をSOI層33に拡散させ、ソース・ドレイン領域43を形成する。次に、CVD法により厚さ200[nm]の $\text{Si}_3\text{N}_4$ 膜53を200[nm]堆積した後、フォトレジスト38を塗布し、第1のCVD酸化膜52の上部に幅300[nm]の開口部が形成されるようにパターンニングを行う。これにより、図32に示されている形状が得られる。

【0122】次に、フォトレジスト38をマスクとし、開口部の $\text{Si}_3\text{N}_4$ 膜53をRIEにより除去する。そ

して、フォトレジスト38を取除き、フッ酸によるウェットエッチングにより、第1のCVD酸化膜52を除去する。すると、図33に示されている状態を経て、第1のCVD酸化膜52が置かれていた位置にスリット54が形成される。この状態が図34に示されている。

【0123】次に、CVD法により酸化膜を100[nm]堆積し、続いてRIEにより酸化膜を100[nm]エッチバックすることにより、スリット54の側面に第2のCVD酸化膜55による側壁を形成する。続いてスリット54中のSOI層33の上部に、選択的エピタキシャル成長によりほう素を含んだp+シリコン56を100[nm]エピタキシャル成長させ、これを上部ゲート電極とする。さらに、AINを200[nm]堆積し、これをRIEによりエッチバックすることによって、スリット54の上部にAIN層57を埋込む。これにより、図35に示されている形状が得られる。

【0124】AINに代えてタングステン(W)、タンタル(Ta)、モリブデン(Mo)等の金属、あるいはタングステンシリサイド等の金属-半導体化合物を用いても良い。n+ポリシリコン、p+ポリシリコンを埋込んでも良い。これらの材料を埋込むためには、CVD法、スパッタ法、蒸着法等を用いる。

【0125】また、SOI層33のソース・ドレイン領域43以外の領域に、イオン注入等により、リン、ひ素、ほう素等のドナー型又はアクセプタ型の不純物を導入しても良い。なお、ここに示した製造方法において、p+シリコン56の成長を省略すれば、AIN層57を上部ゲート電極とする形状、すなわち図36に示されている形状が得られる。

【0126】ところで、下部n型領域51を形成するためのリンのイオン注入(矢印Y)を、第1のCVD酸化膜52をパターンニングした後に、より高いエネルギー(例えば、250[KeV]から1[MeV])で行う場合を考える。この場合、図37に示されているように、第1のCVD酸化膜52の形状を反映し、第1のCVD酸化膜52の下部では浅く、他の領域では深く、下部n型領域51が形成される。この結果、素子構造ができあがると、図38に示されているように、ソース・ドレイン領域43の下部でn型領域51がソース・ドレイン領域43からより遠く離れる。つまり、下部電極内に設けられる下部n型領域51は、絶縁体層がゲート電極に接触する領域と対向する領域における第1導電型不純物層からの距離よりも他の領域における第1導電型不純物層からの距離の方が大である形状になっている。

【0127】これにより、ソース・ドレイン領域43とn型領域51との間の容量(寄生容量)が低減される。そして、このように寄生容量が低減されると、素子の動作速度が向上するという効果が得られる。なお、ここでは、下部n型領域51が、p+シリコン56よりなる上部ゲート電極の下方で、埋込み酸化膜32に接する構造

21

を示したが、これが埋込み酸化膜32から離れていても良い。

【0128】以上のように本実施例では、絶縁体上の半導体層(図32のSOI層33)上に、ダミーパターン52を形成し、このダミーパターン52をマスクにしてイオン注入、拡散を行うか、又は不純物をドーブした半導体層を成長させているのである。

【0129】そして、ダミーパターンのない領域に第1導電型不純物高濃度拡散層を設け(n+シリコン42、ソース・ドレイン領域43)、続いてこのダミーパターン52を覆うように絶縁膜(Si<sub>3</sub>N<sub>4</sub>膜53)を堆積し、ダミーパターン52上部の絶縁膜に開口部を設け、この開口部からのエッチングによりダミーパターン52を除去しているのである。さらに、ダミーパターン52が除去されることによって形成されたスリット54内に、高濃度に不純物を含む半導体(p+シリコン56)をエピタキシャル成長させるか、あるいは金属、金属シリサイド、ポリシリコンをCVD、スパッタ法により埋込んでいのである(A1N57)。

【0130】これにより、上記の各実施例において必要とする凸型の形状を持つトランジスタを製造することができる。特にこの方法では、スリット54内に高濃度に不純物を含む半導体(p+シリコン56)をエピタキシャル成長させ、これを上部ゲート電極とするため、エピタキシャル成長中に不純物のドーピング量を制御することにより、上部ゲート電極の縦方向の不純物分布を制御することができるのである。また、スリット54内に金属、金属シリサイド、ポリシリコンをCVD法、スパッタ法で埋込むことにより、ソース・ドレイン領域を形成する半導体以外の材料を上部ゲート電極に用いることができるのである。

【0131】また本実施例では、半導体基板31(図37)に、絶縁体(酸化膜32)を介して存在する半導体層(SOI層33)上にある幅を持ったダミーパターン52を形成して凸部を設けるか、続いてその凸部の下部において不純物イオンが絶縁体(酸化膜32)の下にある半導体基板31に到達するようにイオン注入を行っているのである。これにより、凸型の形状を反映して絶縁体層(図38の酸化膜32)下部の半導体基板31においては、上部ゲート電極の下部では、それ以外の領域よりも、高濃度不純物が浅い位置に導入される。このため、ソース・ドレイン領域43の下部では高濃度不純物領域(下部n型領域51)が、ソース・ドレイン領域よりも後退して形成される。よって、ソース・ドレイン領域と高濃度不純物領域との間の容量(寄生容量)が低減するのである。そして、寄生容量が低減すると、トランジスタ素子をより高速に動作させることができるのである。

【0132】さらにまた、通常の電界効果型トランジスタ素子において、ゲート電極の形成後に、ゲート電極が

22

持つ凸型の形状を利用して同様のイオン注入を行うと、薄いゲート酸化膜を通してイオン注入が行われるため、薄いゲート酸化膜がイオン注入時に損傷を受け、特性の劣化をもたらす、これに対して本製造方法は、半導体基板へのイオン注入時にゲート酸化膜が形成されていないので、薄いゲート酸化膜の損傷による特性の劣化が起きない。なお、この製造方法において、半導体よりなる凸型の形状(図19(b)、図26)を形成した後に同様のイオン注入を行っても良い。

10 【0133】以上のように、本発明のトランジスタ素子はシリコン材料に適用できるため、従来のシリコンLSIの製造装置、製造プロセスを用いて、製造することができるのである。

【0134】また、上部ゲート電極を通常のMOSFETにおけるゲート電極とみなして、回路中のMOSFETを本発明のトランジスタにより置きかえることにより、MOSFETにより構成される通常の回路、たとえばCMOS回路を、本発明のトランジスタにより構成できるのである。

20 【0135】さらにまた、低不純物濃度領域を素子領域端よりも外側に延長し、さらにその外側にその低不純物濃度領域より第2導電型の不純物濃度が高い領域を設けることにより、オフ状態において下部ゲートによって素子領域端が反転され、リーク電流が流れることを防ぐことができるのである。

【0136】そして、絶縁体上の半導体層上にエッチングに対するマスクとなる材料のパターンを形成し、このパターンをマスクにして半導体層をエッチングにより薄膜化し、薄膜化した領域に第1導電型不純物を高濃度に拡散又はイオン注入により第1導電型不純物高濃度拡散層を設け、このパターンによるマスク効果によりエッチングされなかった領域には、第2導電型不純物高濃度拡散層を設け、第1及び第2導電型不純物高濃度拡散層に配線を接続し、第2導電型不純物高濃度拡散層に接続する配線を入力端子とすることにより、凸型の半導体からなる構造を有し、上述した作用を持つトランジスタ素子を製造することができるのである。

【0137】

40 【発明の効果】以上説明したように本発明は、通常のMOSFETと異なり、ゲート酸化膜を介さずに、上部ゲート電極を直接第2導電型領域に接触させることにより、薄いゲート酸化膜を形成しなくともゲートチャネル間容量が増加し、ゲートによるチャネルの制御性が増すという効果がある。また、基板不純物濃度を上昇させることにより、通常の電界効果型トランジスタとは逆に、ゲートチャネル間容量値が増加し、ゲート電極によるチャネル領域の制御性が改善されるという効果がある。さらにまた、しきい値電圧が下部ゲート電極により制御されるため、短チャネル効果の抑制を目的とした基板不純物の高濃度化と、しきい値の設定とが独立に行え

るという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例によるトランジスタ素子の構成を示す断面図である。

【図2】図1におけるゲートチャネル間容量及びチャネル基板間CB容量を示す図である。

【図3】図1のトランジスタ素子の動作を示す断面図である。

【図4】図1のトランジスタ素子のp型領域を真性領域により置き換えた構成を示す図である。

【図5】本発明の第2の実施例によるトランジスタ素子の構成を示す断面図である。

【図6】本発明の第3の実施例によるトランジスタ素子の構成を示す断面図である。

【図7】本発明の第4の実施例によるトランジスタ素子の構成を示す断面図である。

【図8】本発明の第5の実施例によるトランジスタ素子の構成を示す断面図である。

【図9】本発明の第6の実施例によるトランジスタ素子の構成を示す断面図である。

【図10】本発明の第7の実施例によるトランジスタ素子の構成を示す断面図である。

【図11】本発明の第8の実施例によるトランジスタ素子の構成を示す断面図である。

【図12】図4のトランジスタ素子において、真性領域の上部にn型領域を設けた構成を示す断面図である。

【図13】図1のトランジスタ素子において、上部ゲート電極を、ソース・ドレイン領域及びp型領域よりもバンドギャップが広い材料により形成したワイドギャップ上部ゲートによって置き換えたトランジスタ素子の構成を示す断面図である。

【図14】本発明のトランジスタ素子の使用例を示す図である。

【図15】抵抗負荷の場合における本発明のトランジスタ素子の使用例を示す図である。

【図16】容量負荷の場合における本発明のトランジスタ素子の使用例を示す図である。

【図17】本発明の実施例によるトランジスタ素子製造方法における製造工程の一部を示す断面図である。

【図18】図(a)は本発明の実施例によるトランジスタ素子製造方法における製造工程の一部を示す上面図、図(b)はその断面図である。

【図19】図(a)は本発明の実施例によるトランジスタ素子製造方法における製造工程の一部を示す上面図、図(b)はそのB-B'断面図である。

【図20】本発明の実施例によるトランジスタ素子製造方法における製造工程の一部を示す上面図である。

【図21】図(a)は図20のA-A'断面図、図(b)は図20のB-B'断面図である。

【図22】本発明の実施例によるトランジスタ素子製造

方法における製造工程の一部を示す上面図である。

【図23】図(a)は図22のA-A'断面図、図(b)は図22のB-B'断面図である。

【図24】本発明の実施例によるトランジスタ素子製造方法における製造工程の一部を示す上面図である。

【図25】図(a)は図24のA-A'断面図、図(b)は図24のB-B'断面図である。

【図26】本発明の実施例によるトランジスタ素子製造方法における製造工程の一部を示す断面図である。

10 【図27】本発明の実施例によるトランジスタ素子製造方法における製造工程の一部を示す断面図である。

【図28】図27の状態の上面図である。

【図29】リーク電流の防止効果を説明するための図である。

【図30】リーク電流の発生原理を説明するための図である。

【図31】本発明の他の本実施例によるトランジスタ製造方法における製造工程の一部を示す断面図である。

20 【図32】本発明の他の本実施例によるトランジスタ製造方法における製造工程の一部を示す断面図である。

【図33】本発明の他の本実施例によるトランジスタ製造方法における製造工程の一部を示す断面図である。

【図34】本発明の他の本実施例によるトランジスタ製造方法における製造工程の一部を示す断面図である。

【図35】本発明の他の本実施例によるトランジスタ製造方法における製造工程の一部を示す断面図である。

【図36】本発明の他の本実施例によるトランジスタ製造方法における製造工程の一部を示す断面図である。

30 【図37】イオン注入をより高いエネルギーで行う場合の製造工程の一部を示す断面図である。

【図38】イオン注入をより高いエネルギーで行う場合の製造工程の一部を示す断面図である。

【図39】従来の部分空乏化型SOIMOSFETの構造を示す断面図である。

【図40】従来の他のSOIMOSFETの構造を示す断面図である。

【図41】図39のSOIMOSFETの動作を示す断面図である。

【符号の説明】

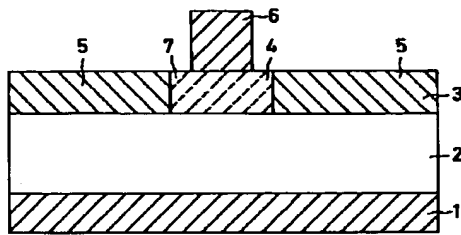
- 1 下部ゲート
- 2 埋込み酸化膜
- 3 SOI層
- 4 p型領域
- 5 ソース・ドレイン領域
- 6 上部ゲート電極
- 7 反転層
- 8 真性領域
- 9 酸化膜
- 10 金属層
- 11 強誘電体材料



25

- 12 ショットキー上部ゲート電極
- 13 狭バンドギャップ領域
- 14 n型領域
- 15 浮遊ゲート
- 31 シリコン基板
- 33 SOI層
- 34 p+型領域
- 35 下部p型領域

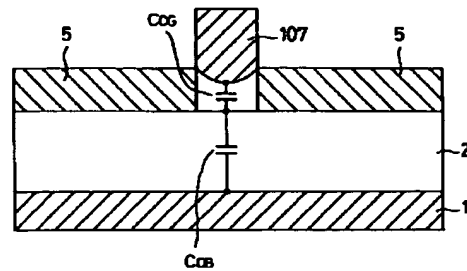
【図1】



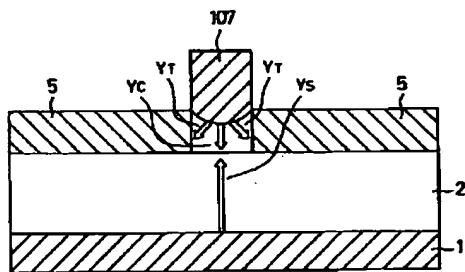
26

- 36, 37 酸化膜
- 38 層間絶縁膜
- 39 配線
- 41 下部p+型領域
- 42 n+型シリコン
- 43 ソース・ドレイン領域
- 44 フォトリソグ

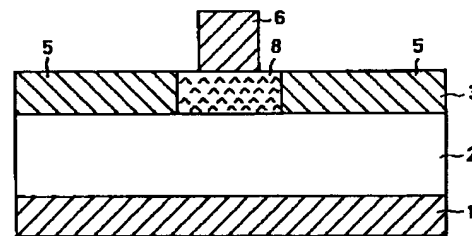
【図2】



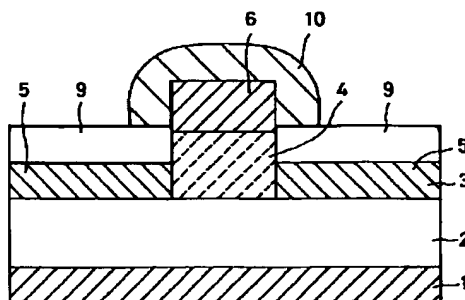
【図3】



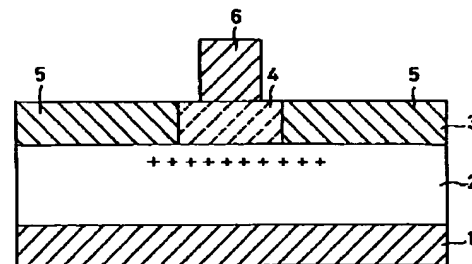
【図4】



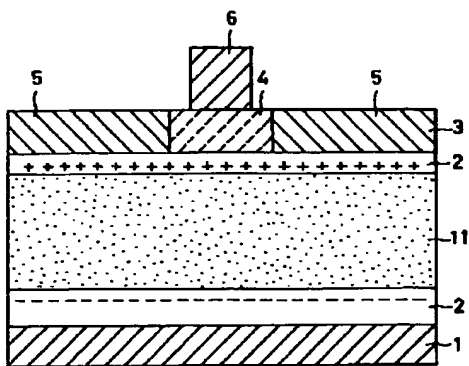
【図5】



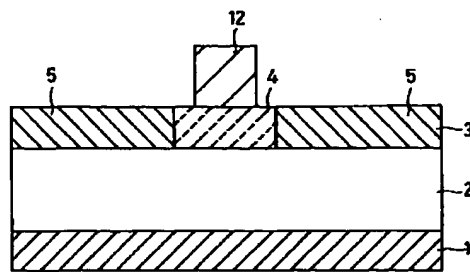
【図6】



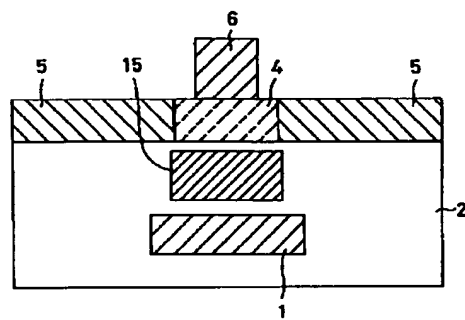
【図7】



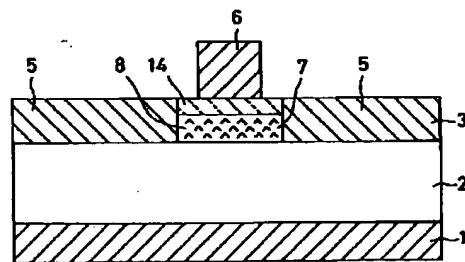
【図8】



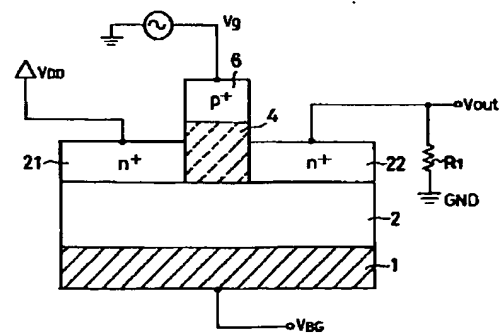
【図10】



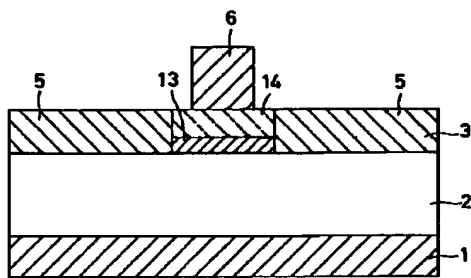
【図12】



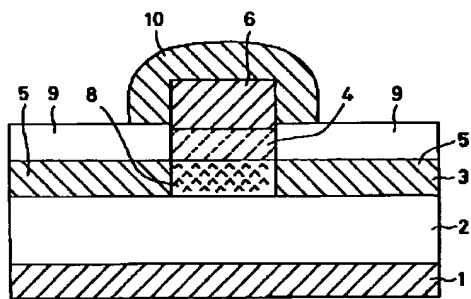
【図15】



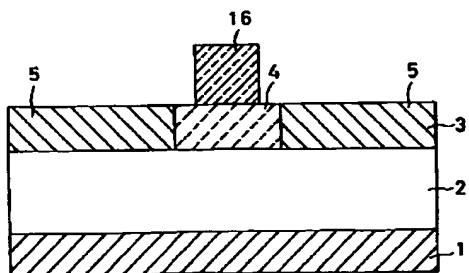
【図9】



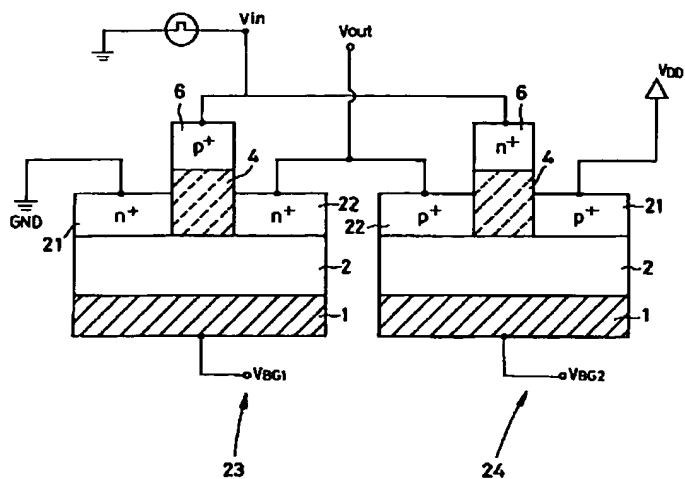
【図11】



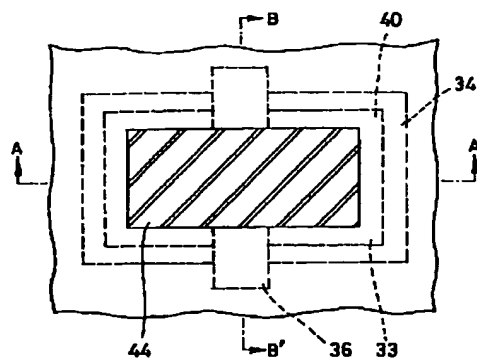
【図13】



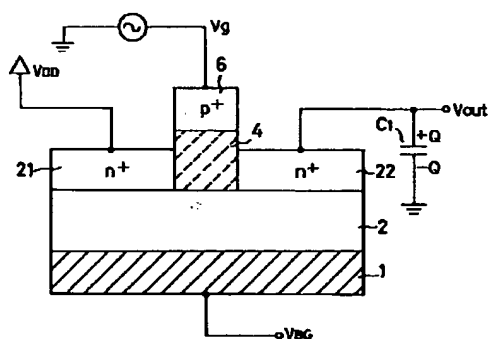
【图14】



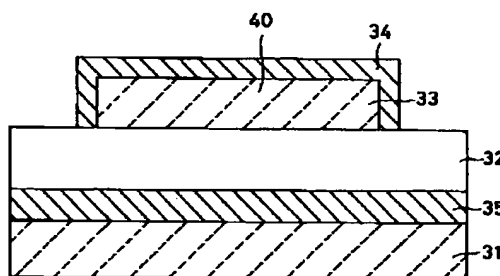
【图20】



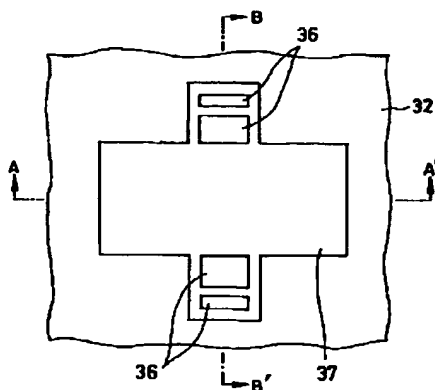
【图 16】



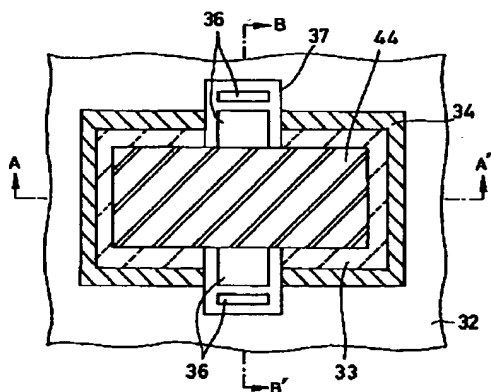
【图17】



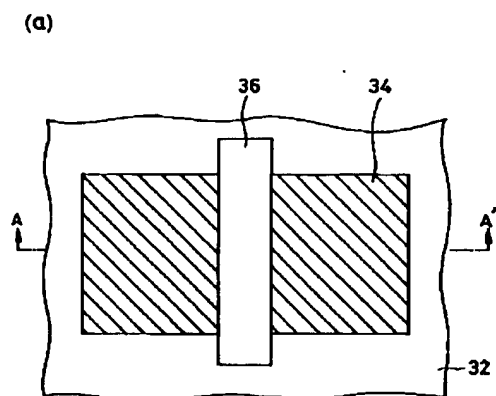
【図24】



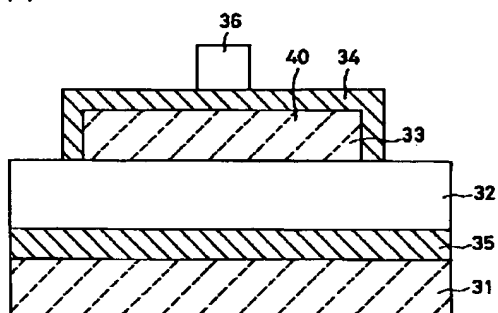
【图22】



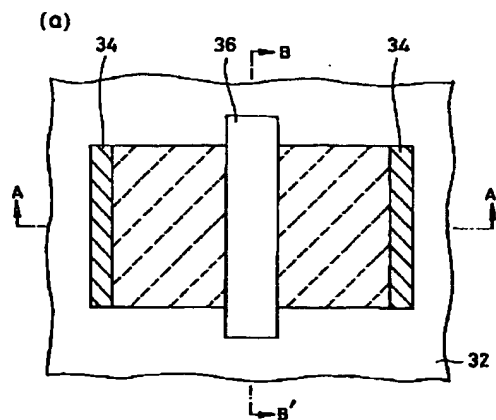
【図18】



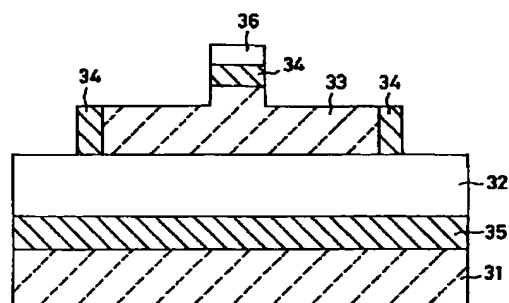
(b)



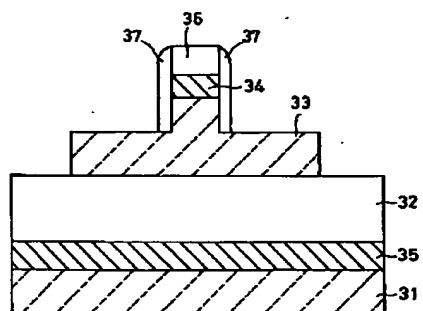
【図19】



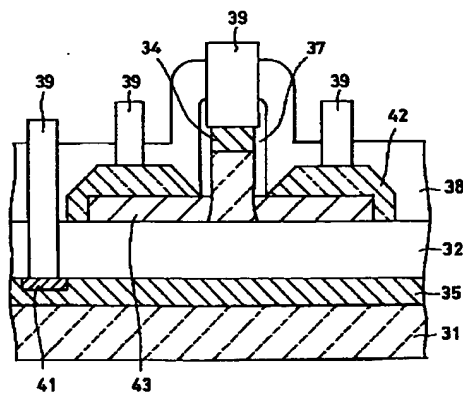
(b)



【図26】

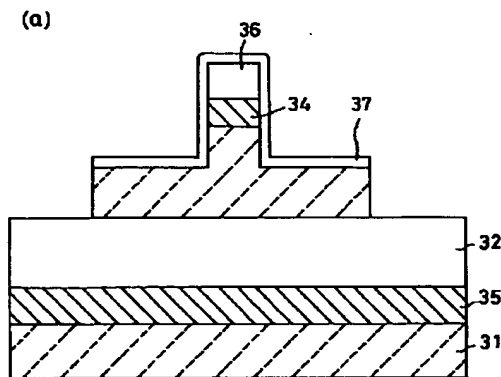


【図27】

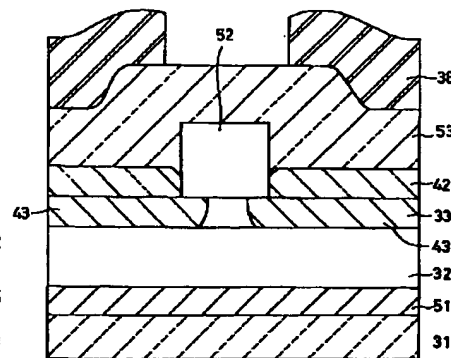




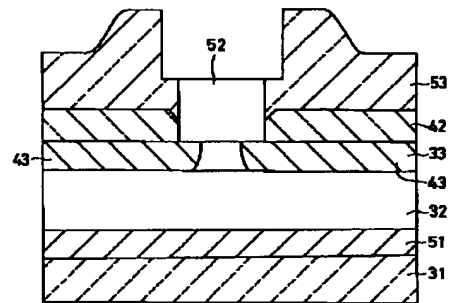
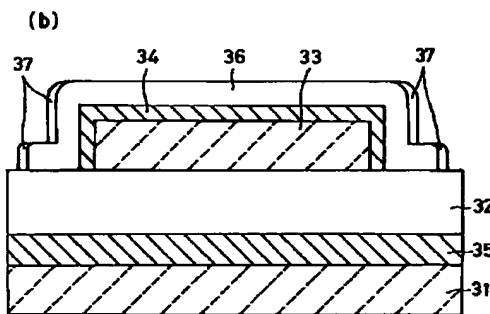
【図25】



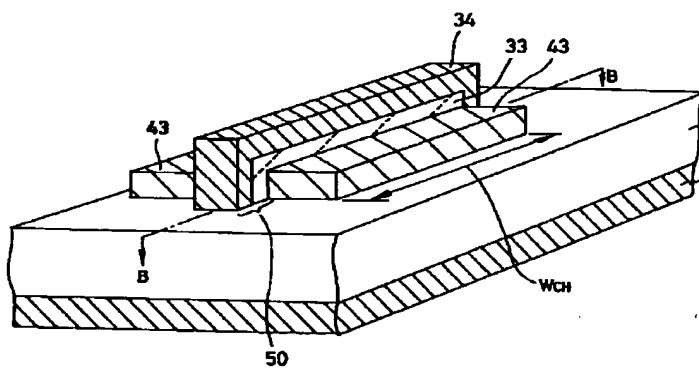
【図32】



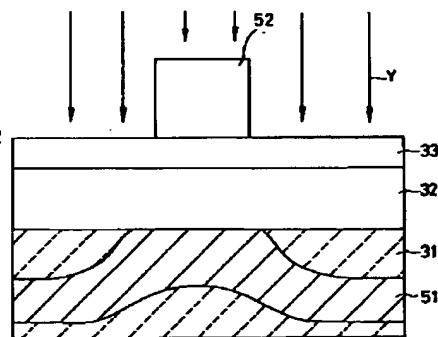
【図33】



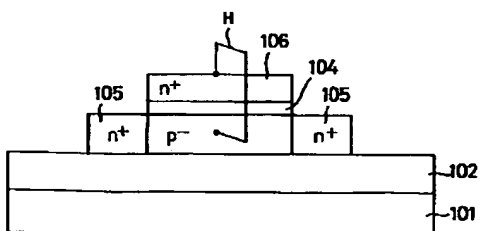
【図29】



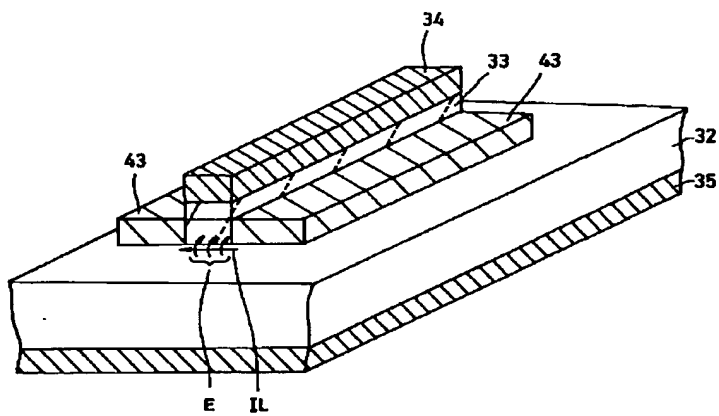
【図37】



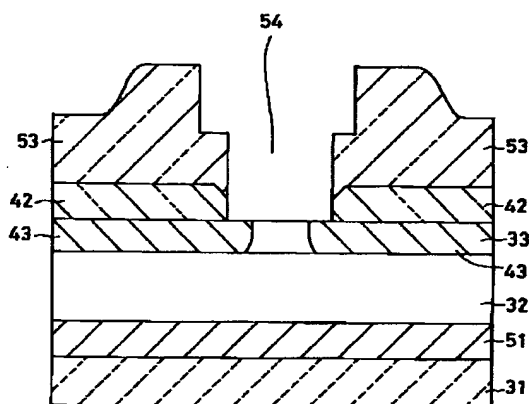
【図40】



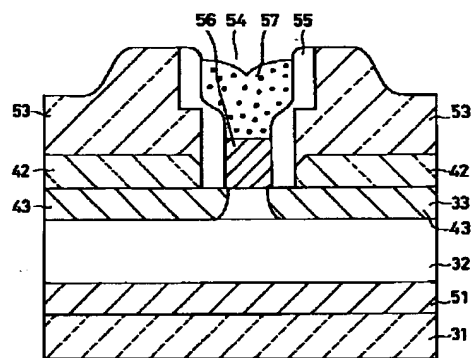
【図30】



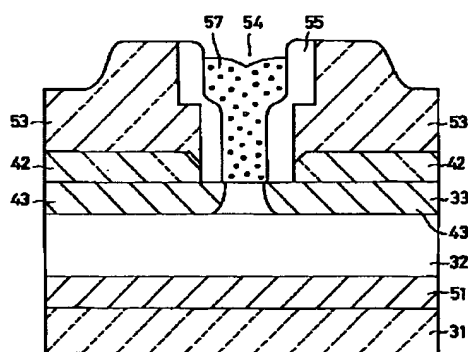
【図34】



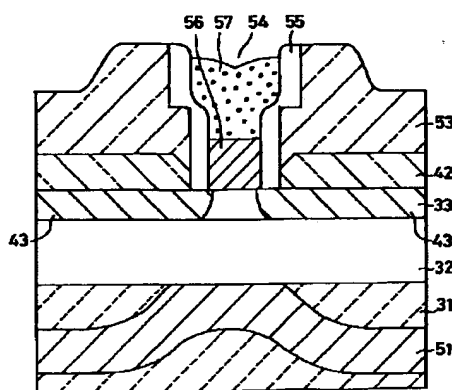
【図35】



【図36】



【図38】



【図41】

